

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 9月11日

出願番号

Application Number: 特願2002-265284

[ST.10/C]:

[JP2002-265284]

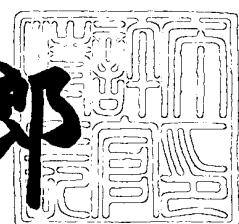
出願人

Applicant(s): セイコーエプソン株式会社

2003年 6月 9日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3044474

【書類名】 特許願

【整理番号】 PA04F144

【提出日】 平成14年 9月11日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03B 5/36

【発明者】

【住所又は居所】 長野県諏訪市大和三丁目3番5号 セイコーエプソン株式会社内

【氏名】 関 浩

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 110000028

【氏名又は名称】 特許業務法人 明成国際特許事務所

【代表者】 下出 隆史

【電話番号】 052-218-5061

【手数料の表示】

【予納台帳番号】 133917

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0105458

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項1】 外部に設けられる振動子を利用する半導体装置であって、前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、

前記反転増幅器は、

前記振動子から第1の信号を受け取るための第1の端子と、

前記振動子へ第2の信号を供給するための第2の端子と、

前記第1の端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスマッショングートであって、前記制御信号が第1の論理レベルに設定される場合には、前記第1の信号を伝搬するオン状態に設定され、前記制御信号が第2の論理レベルに設定される場合には、前記第1の信号を伝搬しないオフ状態に設定される前記トランスマッショングートと、

前記トランスマッショングートの出力端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第2の信号を出力する前記インバータ回路と、

前記トランスマッショングートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第1の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスマッショングートから出力された前記第1の信号が与えられるように設定され、前記制御信号が前記第2の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、

を備えることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置であって、

前記トランスマッショングートは、nチャネル型のMOSトランジスタとpチャネル型のMOSトランジスタとが組み合わされたCMOSトランスマッショ

ゲートである、半導体装置。

【請求項3】 請求項1記載の半導体装置であって、さらに、
絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力され
る信号を他の回路に伝達するためのバッファ回路を備える、半導体装置。

【請求項4】 請求項3記載の半導体装置であって、さらに、
前記反転増幅器と前記バッファ回路との間に設けられ、絶縁ゲート型のトラン
ジスタを用いて形成されたトランスマッショングートを備える、半導体装置。

【請求項5】 請求項1記載の半導体装置であって、
前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器
と、を利用する、半導体装置。

【請求項6】 発振回路であって、
振動子と、
前記振動子を利用する半導体装置と、
を備え、

前記半導体装置は、
前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号
を出力するための反転増幅器を備え、

前記反転増幅器は、
前記振動子から第1の信号を受け取るための第1の端子と、
前記振動子へ第2の信号を供給するための第2の端子と、
前記第1の端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジ
スタを用いて形成されたトランスマッショングートであって、前記制御信号が第
1の論理レベルに設定される場合には、前記第1の信号を伝搬するオン状態に設
定され、前記制御信号が第2の論理レベルに設定される場合には、前記第1の信
号を伝搬しないオフ状態に設定される前記トランスマッショングートと、
前記トランスマッショングートの出力端子と前記第2の端子との間に設けられ
、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与
えられる信号の論理レベルを反転して前記第2の信号を出力する前記インバータ
回路と、

前記トランスマッショングートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第1の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスマッショングートから出力された前記第1の信号が与えられるように設定され、前記制御信号が前記第2の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、
を備えることを特徴とする発振回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置を用いて形成される発振回路の技術に関する。

【0002】

【従来の技術】

集積回路などの半導体装置では、MOSトランジスタが多く利用されている。半導体装置内部の回路は、与えられたクロック信号に応じて動作する。このため、半導体装置の外部には、通常、水晶振動子が設けられており、半導体装置の内部および外部には、水晶振動子を含む発振回路が形成されている。

【0003】

図1は、従来の発振回路900の基本的な構成を示す説明図である。図示するように、発振回路900は、水晶振動子910と、水晶振動子に並列接続された帰還抵抗器920と、水晶振動子に並列接続された反転増幅器960と、反転増幅器の出力端子に接続されたバッファ回路970と、を備えている。なお、図1において、水晶振動子910と帰還抵抗器920とは、半導体装置950の外部に設けられている。また、反転増幅器960とバッファ回路970とは、半導体装置950の内部に設けられており、MOSトランジスタを用いて形成されている。

【0004】

図1では、反転増幅器960は、2入力NAND回路で構成されている。一方

の入力端子には水晶振動子910から信号S1が与えられており、他方の入力端子には制御信号CTRが与えられている。制御信号CTRがHレベルに設定される場合には、反転増幅器960は、発振信号S2を出力する。一方、制御信号CTRがLレベルに設定される場合には、反転増幅器960は、常にHレベルの信号S2を出力する。このように、この反転増幅器960は、与えられた制御信号CTRに応じて間欠的に発振信号を出力することができる。

【0005】

なお、従来の発振回路としては、例えば、特許文献1が挙げられる。

【0006】

【特許文献1】

特開平11-289243号公報

【0007】

【発明が解決しようとする課題】

しかしながら、間欠的に発振信号を出力可能な反転増幅器960を2入力NAND回路を用いて形成する場合には、反転増幅器のサイズが大きくなってしまう。換言すれば、2入力NAND回路は、半導体装置950の内部において比較的大きな面積を必要とする。これは、2入力NAND回路では、半導体装置950の内部電源電圧と出力信号線との間で、2つのnチャネル型のMOSトランジスタが直列接続されているためである。

【0008】

この発明は、従来技術における上述の課題を解決するためになされたものであり、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることのできる技術を提供することを目的とする。

【0009】

【課題を解決するための手段およびその作用・効果】

上述の課題の少なくとも一部を解決するため、本発明の第1の装置は、外部に設けられる振動子を利用する半導体装置であって、

前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、

前記反転増幅器は、

前記振動子から第1の信号を受け取るための第1の端子と、

前記振動子へ第2の信号を供給するための第2の端子と、

前記第1の端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスマッショングートであって、前記制御信号が第1の論理レベルに設定される場合には、前記第1の信号を伝搬するオン状態に設定され、前記制御信号が第2の論理レベルに設定される場合には、前記第1の信号を伝搬しないオフ状態に設定される前記トランスマッショングートと、

前記トランスマッショングートの出力端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第2の信号を出力する前記インバータ回路と、

前記トランスマッショングートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第1の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスマッショングートから出力された前記第1の信号が与えられるように設定され、前記制御信号が前記第2の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、

を備えることを特徴とする。

【0010】

この装置では、反転増幅器は、トランスマッショングートとインバータ回路とクランプ回路とを用いて形成可能であるため、内部電源電圧と出力信号線との間で2つの絶縁ゲート型のトランジスタを直列接続せずに済む。したがって、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることが可能となる。

【0011】

なお、本明細書において、「クランプ回路がトランスマッショングートの出力端子とインバータ回路の入力端子との間に設けられている」とは、クランプ回路

の1つの端子がトランスマッシュゲートの出力端子とインバータ回路の入力端子とに接続されている場合を含んでいる。

【0012】

上記の装置において、

前記トランスマッシュゲートは、nチャネル型のMOSトランジスタとpチャネル型のMOSトランジスタとが組み合わされたCMOSトランスマッシュゲートであることが好ましい。

【0013】

こうすれば、良好な伝搬特性を得ることができる。なお、これに代えて、nチャネル型のMOSトランジスタのみを含むトランスマッシュゲートや、pチャネル型のMOSトランジスタのみを含むトランスマッシュゲートを用いることも可能である。

【0014】

さらに、上記の装置において、

絶縁ゲート型のトランジスタを用いて形成され、前記反転増幅器から出力される信号を他の回路に伝達するためのバッファ回路を備えるようにしてもよい。

【0015】

さらに、上記の装置において、

前記反転増幅器と前記バッファ回路との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスマッシュゲートを備えることが好ましい。

【0016】

こうすれば、半導体装置に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。具体的には、反転増幅器には、第1のトランスマッシュゲートが設けられているため、第1のトランスマッシュゲートのオン抵抗を利用することによって、インバータ回路に含まれるトランジスタのゲート絶縁膜が静電気によって破壊されるのを抑制することができる。また、反転増幅器とバッファ回路との間には、第2のトランスマッシュゲートが設けられているため、第2のトランスマッシュゲートのオン抵抗を利用するこことによって、バッファ回路に含まれるトランジスタのゲート絶縁膜が静電気によ

って破壊されるのを抑制することができる。

【0017】

上記の装置において、

前記半導体装置は、前記振動子と、前記振動子と並列に設けられる帰還抵抗器と、を利用することができる。

【0018】

このように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。なお、帰還抵抗器は、半導体装置の外部に設けられていてもよいし、半導体装置の内部に設けられていてもよい。

【0019】

本発明の第2の装置は、発振回路であって、

振動子と、

前記振動子を利用する半導体装置と、

を備え、

前記半導体装置は、

前記振動子と並列に設けられ、与えられた制御信号に応じて間欠的に発振信号を出力するための反転増幅器を備え、

前記反転増幅器は、

前記振動子から第1の信号を受け取るための第1の端子と、

前記振動子へ第2の信号を供給するための第2の端子と、

前記第1の端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたトランスマッショングートであって、前記制御信号が第1の論理レベルに設定される場合には、前記第1の信号を伝搬するオン状態に設定され、前記制御信号が第2の論理レベルに設定される場合には、前記第1の信号を伝搬しないオフ状態に設定される前記トランスマッショングートと、

前記トランスマッショングートの出力端子と前記第2の端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたインバータ回路であって、与えられる信号の論理レベルを反転して前記第2の信号を出力する前記インバータ回路と、

前記トランスマッシュゲートの出力端子と前記インバータ回路の入力端子との間に設けられ、絶縁ゲート型のトランジスタを用いて形成されたクランプ回路であって、前記制御信号が前記第1の論理レベルに設定される場合には、前記インバータ回路の入力端子に前記トランスマッシュゲートから出力された前記第1の信号が与えられるように設定され、前記制御信号が前記第2の論理レベルに設定される場合には、前記インバータ回路の入力端子に所定の電圧が与えられるように設定される前記クランプ回路と、
を備えることを特徴とする。

【0020】

この装置は、第1の装置と同様の構成を有しているため、第1の装置と同様の作用・効果を奏し、間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることができる。

【0021】

なお、本発明は、半導体装置、半導体装置を含む発振回路、該発振回路を備える電気機器等の種々の態様で実現することができる。

【0022】

【発明の実施の形態】

A. 第1実施例：

次に、本発明の実施の形態を実施例に基づき説明する。図2は、第1実施例における発振回路100を示す説明図である。なお、図示するように、発振回路100は、半導体装置150を用いて形成されている。

【0023】

発振回路100は、水晶振動子110と、水晶振動子に並列接続された帰還抵抗器120と、水晶振動子に並列接続された反転増幅器160と、を備えている。また、発振回路100は、反転増幅器160の出力端子に接続されたバッファ回路180を備えている。

【0024】

図2では、水晶振動子110と帰還抵抗器120とは、半導体装置150の外部に設けられており、反転増幅器160とバッファ回路180とは、半導体装置

150の内部に設けられている。なお、半導体装置150の内部と外部とは、半導体装置150に設けられた複数のピンを介して、電気的に接続される。図2の発振回路100に関しては、半導体装置150の外部に設けられた回路部分と、半導体装置150の内部に設けられた回路部分とは、水晶振動子110が接続された2つのピンP1, P2を介して、電気的に接続されている。

【0025】

なお、本実施例では、半導体装置150としてゲートアレイが用いられている。ここで、ゲートアレイは、特定用途向けの集積回路（ASIC）のうち、セミカスタムICに分類されるデバイスである。半導体装置150は、基本セルがマトリクス状に配列された内部セル領域を含んでいる。なお、基本セルには、pチャネル型のMOSトランジスタ（以下、「pMOSトランジスタ」と呼ぶ）と、nチャネル型のMOSトランジスタ（以下、「nMOSトランジスタ」と呼ぶ）と、が含まれている。

【0026】

反転増幅器160には、制御信号CTRが与えられている。反転増幅器160は、制御信号CTRに応じて、図1に示す2入力NAND回路のみで構成された従来の反転増幅器960と同様の信号を出力する。具体的には、制御信号CTRがHレベルに設定される場合には、水晶振動子110が振動し、このとき、反転増幅器160は、水晶振動子110から与えられた帰還信号S1の論理レベルを反転させた発振信号S2を出力する。一方、制御信号CTRがLレベルに設定される場合には、水晶振動子110の振動が停止し、このとき、反転増幅器160には、常にLレベルの信号S1が与えられ、反転増幅器160は、常にHレベルの信号S2を出力する。なお、反転増幅器160については、さらに、後述する。

【0027】

バッファ回路180は、インバータ回路181と2入力NAND回路182とを含んでいる。バッファ回路180は、反転増幅器160から与えられた発振信号S2の波形を整え、半導体装置150内部の他の回路（例えば、分周回路）に向けてクロック信号を供給する機能を有している。バッファ回路180に含まれ

る2入力NAND回路182には、制御信号CTRが与えられている。2入力NAND回路182は、制御信号CTRがHレベルに設定される場合には、インバータ回路181から与えられた信号（すなわちインバータ回路181によって論理レベルが反転された発振信号S2）の論理レベルを反転させた信号（すなわちクロック信号）を出力する。一方、制御信号CTRがLレベルに設定される場合には、2入力NAND回路182は、常にHレベルの信号を出力する。

【0028】

この構成によって、発振回路100は、制御信号CTRに応じて間欠的にクロック信号を出力することができる。具体的には、発振回路100は、制御信号CTRがHレベルに設定される場合には、クロック信号を出力することができ、制御信号CTRがLレベルに設定される場合には、クロック信号の出力を停止させることができる。

【0029】

上記のように、本実施例では、制御信号CTRは、反転増幅器160と2入力NAND回路182とに与えられている。制御信号CTRを反転増幅器160に供給することによって、制御信号CTRがLレベルに設定される場合に、水晶振動子110の振動を停止させることができ、この結果、反転増幅器160の消費電流を小さくすることができる。また、制御信号CTRを2入力NAND回路182に供給することによって、制御信号CTRがLレベルに設定されるときに、クロック信号の出力を迅速に停止させることができる。なお、制御信号CTRは、反転増幅器160のみに与えられていてもよい。この場合にも、発振回路100は、制御信号CTRに応じて間欠的にクロック信号を出力することができる。

【0030】

図3は、図2の反転増幅器160の概略構成を示す説明図である。なお、図3(A)では、反転増幅器160に与えられる制御信号CTRがHレベルである場合の動作が示されており、図3(B)では、反転増幅器160に与えられる制御信号CTRがLレベルである場合の動作が示されている。

【0031】

図示するように、反転増幅器160は、水晶振動子110から第1の信号S1

を受け取るための第1の端子（入力端子）T1と、水晶振動子110とバッファ回路180とへ第2の信号S2を供給するための第2の端子（出力端子）T2と、制御信号CTRを受け取るための第3の端子（制御端子）T3と、を備えている。また、反転増幅器160は、トランスマッショングート210と、第1のインバータ回路220と、クランプ回路230と、第2のインバータ回路240と、を備えている。なお、トランスマッショングートは、トランスマッショングートあるいはパストランジスタとも呼ばれている。

【0032】

トランスマッショングート210と第1のインバータ回路220とは、第1の端子T1と第2の端子T2との間に、この順序で設けられている。具体的には、反転増幅器160の第1の端子T1は、トランスマッショングート210の入力端子に接続されている。トランスマッショングート210の出力端子は、第1のインバータ回路220の入力端子に接続されている。第1のインバータ回路220の出力端子は、反転増幅器160の第2の端子T2に接続されている。そして、クランプ回路230は、トランスマッショングート210と第1のインバータ回路220との間に設けられている。

【0033】

トランスマッショングート210は、nMOSトランジスタ211とpMOSトランジスタ212とが組み合わされたCMOSトランスマッショングートである。nMOSトランジスタ211のドレインとpMOSトランジスタ212のドレインとは、互いに接続されており、入力端子として機能する。また、nMOSトランジスタ211のソースとpMOSトランジスタ212のソースとは、互いに接続されており、出力端子として機能する。nMOSトランジスタ211のゲートには、制御信号CTRが与えられており、pMOSトランジスタ212のゲートには、論理レベルが反転された制御信号#CTRが与えられている。

【0034】

第1のインバータ回路220は、CMOSインバータ回路であり、直列接続されたpMOSトランジスタ221とnMOSトランジスタ222とを含んでいる。pMOSトランジスタ221のゲートとnMOSトランジスタ222のゲート

とは、互いに接続されており、入力端子として機能する。また、pMOSトランジスタ221のドレインとnMOSトランジスタ222のドレインとは、互いに接続されており、出力端子として機能する。そして、pMOSトランジスタ221のソースは、半導体装置150の第1の内部電源電圧V1に設定されており、nMOSトランジスタ222のソースは、半導体装置150の第2の内部電源電圧V2（本実施例では接地電位）に設定されている。

【0035】

クランプ回路230は、nMOSトランジスタ231で構成されている。nMOSトランジスタ231のソースは、半導体装置150の第2の内部電源電圧V2（本実施例では接地電位）に設定されており、ドレインは、トランスマッシュョンゲート210の出力端子と第1のインバータ回路220の入力端子とに接続されている。また、nMOSトランジスタ231のゲートには、論理レベルが反転された制御信号#CTRが与えられている。

【0036】

第2のインバータ回路240は、第1のインバータ回路220と同様のCMOSインバータ回路であり、直列接続されたpMOSトランジスタ241とnMOSトランジスタ242とを含んでいる。第2のインバータ回路240の入力端子には、制御信号CTRが与えられている。また、第2のインバータ回路240の出力端子は、トランスマッシュョンゲート210に含まれるpMOSトランジスタ212のゲートと、クランプ回路230に含まれるnMOSトランジスタ231のゲートと、に接続されている。

【0037】

図3(A)に示すように、制御信号CTRがHレベルである場合には、トランスマッシュョンゲート210を構成するnMOSトランジスタ211とpMOSトランジスタ212とは、共に、オン状態に設定される。このとき、トランスマッシュョンゲート210の入力端子に与えられた電圧は、ほぼ等しい電圧値のまま、出力端子から出力される。また、制御信号CTRがHレベルである場合には、クランプ回路230を構成するnMOSトランジスタ231は、オフ状態に設定される。したがって、第1のインバータ回路220の入力端子には、トランスマッシュ

ションゲート210の出力がそのまま与えられる。そして、第1のインバータ回路220は、与えられた信号の論理レベルを反転させた信号を出力する。具体的には、入力がHレベルである場合にはnMOSトランジスタ222のみがオン状態に設定され、第1のインバータ回路220はLレベルを出力する。また、入力がLレベルである場合にはpMOSトランジスタ221のみがオン状態に設定され、第1のインバータ回路220は、Hレベルを出力する。

【0038】

一方、図3（B）に示すように、制御信号CTRがLレベルである場合には、トランスマッシュョンゲート210を構成するnMOSトランジスタ211とpMOSトランジスタ212とは、共に、オフ状態に設定される。このとき、トランスマッシュョンゲート210の出力は、高インピーダンス状態に設定される。また、制御信号CTRがLレベルである場合には、クランプ回路230を構成するnMOSトランジスタ231は、オン状態に設定される。したがって、第1のインバータ回路220の入力端子はLレベルに設定され、この結果、第1のインバータ回路220は、常にHレベルを出力する。

【0039】

上記のように、反転増幅器160は、制御信号CTRがHレベルである場合には、第1の端子T1に与えられる信号S1の論理レベルを反転させた発振信号S2を、第2の端子T2から出力することができる。また、反転増幅器160は、制御信号CTRがLレベルである場合には、第2の端子T2から常にHレベルの信号S2を出力することができる。

【0040】

ところで、前述のように、本実施例の反転増幅器160は、与えられた制御信号CTRに応じて、図1に示す2入力NAND回路のみで構成された従来の反転増幅器960と同様の信号を出力する。しかしながら、本実施例の反転増幅器160では、図3に示すように、2入力NAND回路が用いられていない。このため、半導体装置（ゲートアレイ）150の内部において、反転増幅器160のサイズをかなり小さくすることが可能となっている。なお、2入力NAND回路で構成された反転増幅器960のサイズが大きくなるのは、2入力NAND回路は

、内部電源電圧と出力信号線との間で、直列接続された2つのnMOSトランジスタを含むためである。

【0041】

図4は、図1の従来の反転増幅器960の概略構成を示す説明図である。図示するように、2入力NAND回路は、2つのpMOSトランジスタ961, 962と、2つのnMOSトランジスタ963, 964と、を含んでいる。第1および第2のpMOSトランジスタ961, 962は、第1の内部電源電圧V1と第2の端子T2に導通する出力信号線Loとの間で、並列接続されている。また、第1および第2のnMOSトランジスタ963, 964は、出力信号線Loと第2の内部電源電圧V2との間で、直列接続されている。

【0042】

図5は、図1の従来の反転増幅器960の具体的構成を示す説明図であり、図4に対応する。図示するように、2つのpMOSトランジスタ961, 962は、それぞれ、並列接続された12個のpMOSトランジスタ要素で構成されている。また、2つのnMOSトランジスタ963, 964は、それぞれ、並列接続された24個のnMOSトランジスタ要素で構成されている。図5から分かるように、従来の反転増幅器960は、合計72個のトランジスタ要素で構成されている。

【0043】

図6は、図2の反転増幅器160の具体的構成を示す説明図であり、図3に対応する。図示するように、本実施例の反転増幅器160では、トランスマッシュゲート210は、並列接続された2つのnMOSトランジスタ要素と並列接続された2つのpMOSトランジスタ要素とで構成されている。また、第1のインバータ回路220に含まれるpMOSトランジスタ221は、並列接続された12個のpMOSトランジスタ要素で構成されており、nMOSトランジスタ222は、並列接続された12個のnMOSトランジスタ要素で構成されている。さらに、クランプ回路230は、1つのnMOSトランジスタ要素で構成されており、第2のインバータ回路240は、1つのpMOSトランジスタ要素と1つのnMOSトランジスタ要素とで構成されている。図6から分かるように、本実施

例の反転増幅器160は、合計31個のトランジスタ要素で構成されている。

【0044】

ところで、図5の2入力NAND回路960と、図6の第1のインバータ回路220とが、多くのトランジスタ要素を用いて形成されているのは、反転増幅器は、比較的高い周波数（例えば約80～約100MHz）で動作するためである。すなわち、反転増幅器は、比較的高い周波数で動作するために比較的大きな電流を駆動する必要があり、この結果、反転増幅器は、比較的小さな抵抗値を有している必要がある。

【0045】

図5に示す従来の反転増幅器960と図6に示す本実施例の反転増幅器160とは、同等の電流駆動能力を有している。しかしながら、図5、図6を比較して分かるように、図6では、比較的少数のトランジスタ要素を用いて反転増幅器160を形成することが可能となっている。これは、図5では、反転増幅器960は2入力NAND回路で構成されており、2入力NAND回路は、出力信号線L0と第2の内部電源電圧V2との間で、直列接続された2つのnMOSトランジスタ963、964を含むためである。

【0046】

具体的には、図6の反転増幅器160において、第1のインバータ回路220のpMOSトランジスタ221およびnMOSトランジスタ222のオン抵抗値をそれぞれRと仮定する。このとき、図5の反転増幅器960が図6の反転増幅器160と同等の電流駆動能力を有するためには、2入力NAND回路に含まれる各pMOSトランジスタ961、962のオン抵抗がRであり、直列接続された2つのnMOSトランジスタ963、964の合成オン抵抗がRである必要がある。したがって、各nMOSトランジスタ963、964のオン抵抗は、それぞれR/2に設定される必要がある。

【0047】

トランジスタ要素のオン抵抗は、L/Wに比例する。ここで、Lはゲート長（チャネル長に等しい）であり、Wはゲート幅である。トランジスタ要素のゲート幅Wを2倍に設定すれば、トランジスタ要素のオン抵抗を1/2倍に設定するこ

とができる。また、各トランジスタ要素のサイズが同一である場合には、2倍の数のトランジスタ要素を並列接続すれば、トランジスタ要素群のゲート幅Wを実質的に2倍に設定することができるため、トランジスタ要素群のオン抵抗を1／2倍に設定することができる。

【0048】

図5、図6では、各トランジスタ要素のサイズは同一に設定されている。このため、2入力NAND回路に含まれる各nMOSトランジスタ963、964は、第1のインバータ回路220に含まれるnMOSトランジスタ222を構成するトランジスタ要素の数（すなわち12個）の2倍の数（すなわち24個）のトランジスタ要素が並列接続されて構成されている。この結果、従来の反転増幅器960では、比較的多数（72個）のトランジスタ要素が必要となってしまう。このように、本実施例では、反転増幅器160は直列接続された2つのnMOSトランジスタを含んでいないため、比較的少数（31個）のトランジスタ要素を用いて反転増幅器160を形成することができる。

【0049】

なお、本実施例では、反転増幅器160は、制御信号CTRの論理レベルを反転させるための第2のインバータ回路240を備えているが、第2のインバータ回路240は省略可能である。この場合には、反転増幅器は、制御信号CTRを受け取るための第3の端子T3と共に、論理レベルが反転された制御信号#CTRを受け取るための第4の端子を備えていればよい。

【0050】

以上説明したように、本実施例の発振回路100は、水晶振動子110と、水晶振動子を利用する半導体装置150と、を備えている。半導体装置150は、水晶振動子と並列に設けられ、与えられた制御信号CTRに応じて間欠的に発振信号を出力するための反転増幅器160を備えている。そして、反転増幅器は、第1の端子T1と第2の端子T2との間に設けられたトランスマッショングート210と、トランスマッショングートの出力端子と第2の端子T2との間に設けられた第1のインバータ回路220と、トランスマッショングート210の出力端子と第1のインバータ回路220の入力端子との間に設けられたクランプ回路

230と、を備えている。ここで、トランスマッショングート210は、制御信号CTRがHレベルに設定される場合には、第1の信号S1を伝搬するオン状態に設定され、制御信号CTRがLレベルに設定される場合には、第1の信号S1を伝搬しないオフ状態に設定される。第1のインバータ回路220は、与えられる信号の論理レベルを反転して第2の信号S2を出力する。クランプ回路230は、制御信号CTRがHレベルに設定される場合には、第1のインバータ回路220の入力端子にトランスマッショングートから出力された第1の信号S1が与えられるように設定され、制御信号CTRがLレベルに設定される場合には、第1のインバータ回路220の入力端子に第2の内部電源電圧V2にほぼ等しい電圧（すなわちLレベル）が与えられるように設定される。

【0051】

このように、本実施例の発振回路100では、反転増幅器160は、トランスマッショングート210と第1のインバータ回路220とクランプ回路230とを用いて形成可能であるため、第2の内部電源電圧V2と出力信号線Loとの間でnMOSトランジスタを直列接続せずに済む。したがって、間欠的に発振信号を出力可能な反転増幅器160のサイズを比較的小さくすることが可能となる。

【0052】

なお、本実施例では、反転増幅器160は、トランスマッショングート210を備えているが、反転増幅器がクランプ回路230を備える場合には、トランスマッショングート210を省略することも可能である。この構成においても、制御信号CTRがLレベルに設定される場合には、クランプ回路230に比較的大きな電流を流すことによって、反転増幅器は発振信号の出力を停止させることができる。しかしながら、本実施例の構成を採用すれば、制御信号CTRがLレベルに設定される場合には、トランスマッショングート210の出力は高インピーダンス状態に設定されるため、クランプ回路230に流れる電流が小さくなり、この結果、発振信号を停止させる際の消費電流を比較的小さくすることができる。このため、本実施例の反転増幅器160は、トランスマッショングート210を備えている。

【0053】

B. 第2実施例：

図7は、第2実施例における第1の反転増幅器160Aを示す説明図である。この反転増幅器160Aは、第1実施例(図3)の反転増幅器160とほぼ同じであるが、nMOSトランジスタ211のみで構成されたトランスマッショングート210Aを備えている。

【0054】

図8は、第2実施例における第2の反転増幅器160Bを示す説明図である。この反転増幅器160Bも、第1実施例(図3)の反転増幅器160とほぼ同じであるが、pMOSトランジスタ212のみで構成されたトランスマッショングート210Bを備えている。

【0055】

本実施例(図7, 図8)の構成を採用する場合には、第1実施例(図3)の構成を採用する場合と同様に、反転増幅器160A, 160Bは、制御信号CTRがHレベルに設定される場合には、第1の端子T1に与えられる信号S1の論理レベルを反転させた発振信号S2を、第2の端子T2から出力する。また、反転増幅器160A, 160Bは、制御信号CTRがLレベルに設定される場合には、第2の端子T2から常にHレベルの信号S2を出力する。

【0056】

ただし、図7に示すトランスマッショングート210Aは、Lレベルの入力に対する伝搬特性に優れているが、Hレベルの入力に対する伝搬特性は劣っている。これは、nMOSトランジスタ211の出力電圧は、(ゲート電圧-しきい値電圧)以下に制限されるためである。逆に、図8に示すトランスマッショングート210Bは、Hレベルの入力に対する伝搬特性に優れているが、Lレベルの入力に対する伝搬特性は劣っている。これは、pMOSトランジスタ212の出力電圧は、(ゲート電圧+しきい値電圧)以上に制限されるためである。一方、図3に示すトランスマッショングート210は、2つのトランジスタ211, 212の長所を利用することができるため、Lレベルの入力に対する伝搬特性とHレベルの入力に対する伝搬特性との双方に優れている。すなわち、図3のトランスマッショングート210を採用すれば、良好な伝搬特性を得ることができるとい

う利点がある。

【0057】

第1および第2実施例の説明から分かるように、一般に、トランスマッシュョンゲートは、制御信号が第1の論理レベルに設定される場合には、第1の信号を伝搬するオン状態に設定され、制御信号が第2の論理レベルに設定される場合には、第1の信号を伝搬しないオフ状態に設定されるものであればよい。

【0058】

C. 第3実施例：

図9は、第3実施例における反転増幅器160Cを示す説明図である。この反転増幅器160Cは、第1実施例（図3）の反転増幅器160とほぼ同じであるが、クランプ回路230Cが変更されている。

【0059】

具体的には、本実施例のクランプ回路230Cは、pMOSトランジスタ232で構成されている。pMOSトランジスタのソースは、半導体装置150の第1の内部電源電圧V1に設定されており、ドレインは、トランスマッシュョンゲート210の出力端子と第1のインバータ回路220の入力端子とに接続されている。また、pMOSトランジスタのゲートには、制御信号CTRが与えられている。

【0060】

本実施例では、反転増幅器160Cは、制御信号CTRがHレベルに設定される場合には、第1の端子T1に与えられる信号S1の論理レベルを反転させた発振信号S2を、第2の端子T2から出力する。また、反転増幅器160Cは、制御信号CTRがLレベルに設定される場合には、第2の端子T2から常にLレベルの信号S2を出力する。具体的には、制御信号CTRがLレベルに設定される場合には、クランプ回路230を構成するpMOSトランジスタ232は、オン状態に設定される。このとき、第1のインバータ回路220の入力端子はHレベルに設定され、この結果、第1のインバータ回路220は、常にLレベルを出力する。

【0061】

第1および第3実施例の説明から分かるように、一般に、クランプ回路は、制御信号が第1の論理レベルに設定される場合には、インバータ回路の入力端子にトランスマッシュゲートから出力された第1の信号が与えられるように設定され、制御信号が第2の論理レベルに設定される場合には、インバータ回路の入力端子に所定の電圧が与えられるように設定されればよい。

【0062】

D. 第4実施例：

図10は、第4実施例における反転増幅器160Dを示す説明図である。この反転増幅器160Dは、第2実施例（図7）の構成と第3実施例（図9）の構成とを組み合わせたものに相当する。

【0063】

具体的には、反転増幅器160Dは、nMOSトランジスタ211のみで構成されたトランスマッシュゲート210Aと、第1のインバータ回路220と、pMOSトランジスタ232で構成されたクランプ回路230Cと、を備えている。本実施例の構成を採用する場合には、論理レベルが反転された制御信号#CTRを生成する必要がない。このため、図3の第2のインバータ回路240を省略することができ、この結果、反転増幅器160Dのサイズをさらに小さくすることができる。

【0064】

E. 第5実施例：

図11は、第5実施例における発振回路100Eを示す説明図である。この発振回路100Eは、第1実施例（図2）の発振回路100とほぼ同じであるが、反転増幅器160とバッファ回路180との間に、トランスマッシュゲート170が追加されている。

【0065】

このトランスマッシュゲート170は、反転増幅器160に含まれるトランスマッシュゲート210（図3）と同様に、nMOSトランジスタ171とpMOSトランジスタ172とが組み合わされたCMOSトランスマッシュゲートである。ただし、nMOSトランジスタ171のゲートは、半導体装置150

の第1の内部電源電圧V1に設定されており、pMOSトランジスタ172のゲートは、半導体装置150の第2の内部電源電圧V2（本実施例では接地電位）に設定されている。このため、トランスマッショングート170は、常時オン状態に設定されている。

【0066】

本実施例の構成を採用すれば、静電気などに起因して、半導体装置150に設けられた2つのピンP1、P2に比較的高い電圧が加わる場合にも、トランジスタのゲート酸化膜が破壊されるのを抑制することができる。すなわち、図1に示す従来の発振回路900では、第1のピンP1に比較的高い電圧が加わる場合には、反転増幅器960のNAND回路に含まれるトランジスタのゲート酸化膜が比較的容易に破壊されてしまう。また、第2のピンP2に比較的高い電圧が加わる場合には、バッファ回路970のインバータ回路に含まれるトランジスタのゲート酸化膜が比較的容易に破壊されてしまう。しかしながら、本実施例の発振回路100Eでは、半導体装置150の第1のピンP1と反転増幅器160に含まれる第1のインバータ回路220の入力端子との間には、第1のトランスマッショングート210（図3）が設けられており、半導体装置150の第2のピンP2とバッファ回路180に含まれるインバータ回路181の入力端子との間には、第2のトランスマッショングート170が設けられている。各トランスマッショングート210、170は、比較的高いオン抵抗を有している。したがって、静電気などに起因して、半導体装置150の第1のピンP1に比較的高い電圧が加わる場合には、第1のトランスマッショングート210によって、第1のインバータ回路220のゲート酸化膜の破壊が抑制される。また、半導体装置150の第2のピンP2に比較的高い電圧が加わる場合には、第2のトランスマッショングート170によって、インバータ回路181のゲート酸化膜の破壊が抑制される。

【0067】

図11では、反転増幅器160とバッファ回路180との間に、トランスマッショングート170が設けられているが、トランスマッショングートは、例えば、拡散抵抗（拡散層抵抗とも呼ばれる）などの抵抗器と置換可能である。ここで

、拡散抵抗とは、半導体基板上に形成された拡散層の層抵抗を利用する抵抗素子である。ただし、半導体装置150内部に、比較的大きな抵抗値を有する拡散抵抗を形成するためには、比較的大きな面積が必要となってしまう。また、ゲートアレイにおいてトランスマッショングート170を拡散抵抗と置換する場合には、拡散抵抗の形成位置が制限され、発振回路の配置が制限されてしまう。すなわち、本実施例のように、トランスマッショングート170のオン抵抗を利用する場合には、比較的小さな面積で比較的大きな抵抗値を得ることができるという利点があるとともに、ゲートアレイにおける発振回路の配置の自由度を高めることができるという利点もある。

【0068】

なお、この発明は上記の実施例や実施形態に限られるものではなく、その要旨を逸脱しない範囲において種々の態様で実施することが可能であり、例えば次のような変形も可能である。

【0069】

(1) 上記実施例では、水晶振動子110が単独で用いられているが、水晶振動子110に負荷容量を接続するようにしてもよい。また、上記実施例では、発振回路100は、水晶振動子110を備えているが、これに代えて、例えば、PZT, PbTiO₃などのセラミック振動子を備えるようにしてもよい。一般には、発振回路は、振動子を備えていればよい。

【0070】

(2) 上記実施例では、半導体装置150の外部に帰還抵抗器120が設けられているが、帰還抵抗器は、半導体装置の内部に設けられていてもよい。また、帰還抵抗器120は省略可能である。ただし、上記実施例のように、帰還抵抗器を利用すれば、振動子を確実に振動させることができる。

【0071】

(3) 上記実施例では、反転増幅器160に含まれるインバータ回路は、それぞれ、pMOSトランジスタとnMOSトランジスタで構成されたCMOSインバータ回路であるが、これに代えて、pMOSトランジスタが拡散抵抗などの抵抗器に置換されたインバータ回路を用いるようにしてもよい。

【0072】

また、上記実施例では、半導体装置150は、ゲート絶縁膜が酸化膜で構成されたMOSトランジスタを備えているが、これに代えて、ゲート絶縁膜が窒化膜などの他の絶縁膜で構成されたMISトランジスタを備えていてもよい。また、トランジスタのゲートは、ポリシリコンで構成されていてもよい。

【0073】

さらに、上記実施例では、半導体装置150として、ゲートアレイが用いられているが、他の集積回路を用いるようにしてもよい。

【0074】

一般には、半導体装置に含まれる反転増幅器は、絶縁ゲート型のトランジスタを用いて形成されればよい。

【図面の簡単な説明】

【図1】 従来の発振回路900の基本的な構成を示す説明図である。

【図2】 第1実施例における発振回路100を示す説明図である。

【図3】 図2の反転増幅器160の概略構成を示す説明図である。

【図4】 図1の従来の反転増幅器960の概略構成を示す説明図である。

【図5】 図1の従来の反転増幅器960の具体的構成を示す説明図であり、図4に対応する。

【図6】 図2の反転増幅器160の具体的構成を示す説明図であり、図3に対応する。

【図7】 第2実施例における第1の反転増幅器160Aを示す説明図である。

【図8】 第2実施例における第2の反転増幅器160Bを示す説明図である。

【図9】 第3実施例における反転増幅器160Cを示す説明図である。

【図10】 第4実施例における反転増幅器160Dを示す説明図である。

【図11】 第5実施例における発振回路100Eを示す説明図である。

【符号の説明】

100, 100E…発振回路

110 … 水晶振動子
 120 … 帰還抵抗器
 150 … 半導体装置
 160, 160A~D … 反転増幅器
 170 … トランスマッショングート
 171 … nMOSトランジスタ
 172 … pMOSトランジスタ
 180 … バッファ回路
 181 … インバータ回路
 182 … 2入力NAND回路
 210, 210A~B … トランスマッショングート
 211 … nMOSトランジスタ
 212 … pMOSトランジスタ
 220 … インバータ回路
 221 … pMOSトランジスタ
 222 … nMOSトランジスタ
 230, 230C … クランプ回路
 231 … nMOSトランジスタ
 232 … pMOSトランジスタ
 240 … インバータ回路
 241 … pMOSトランジスタ
 242 … nMOSトランジスタ
 900 … 発振回路
 910 … 水晶振動子
 920 … 帰還抵抗器
 950 … 半導体装置
 960 … 反転増幅器
 961, 962 … pMOSトランジスタ
 963, 964 … nMOSトランジスタ

970…バッファ回路

CTR…制御信号

Lo…出力信号線

P1, P2…ピン

T1…第1の端子

T2…第2の端子

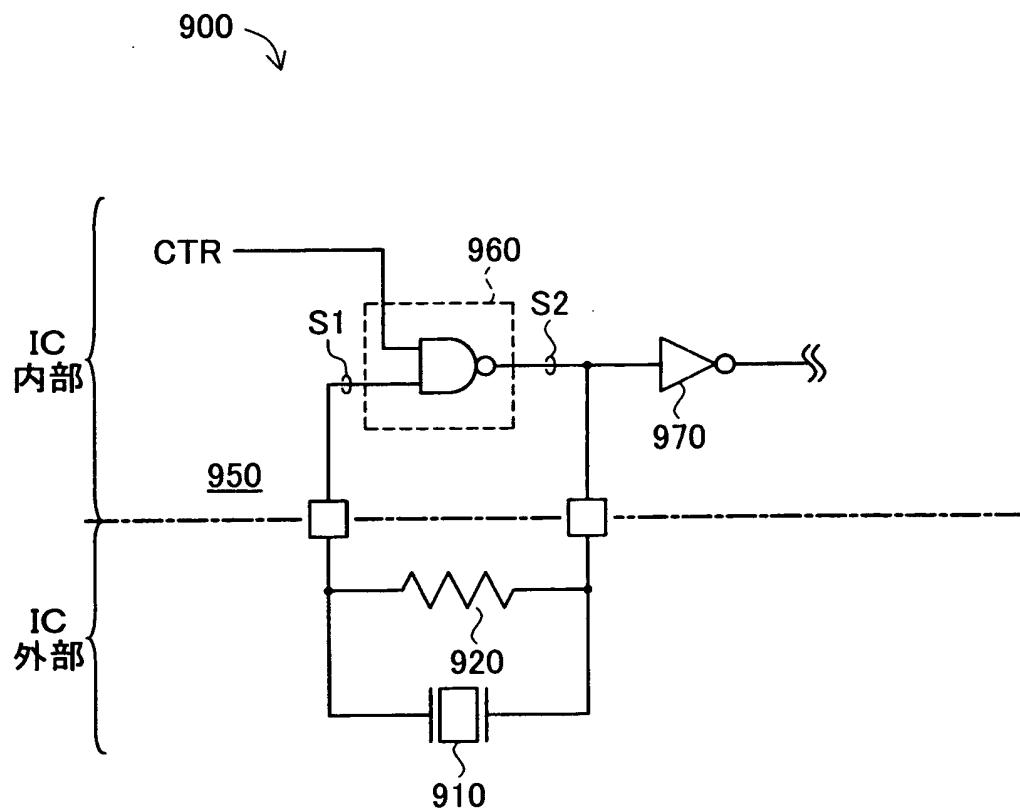
T3…第3の端子

V1…第1の内部電源電圧

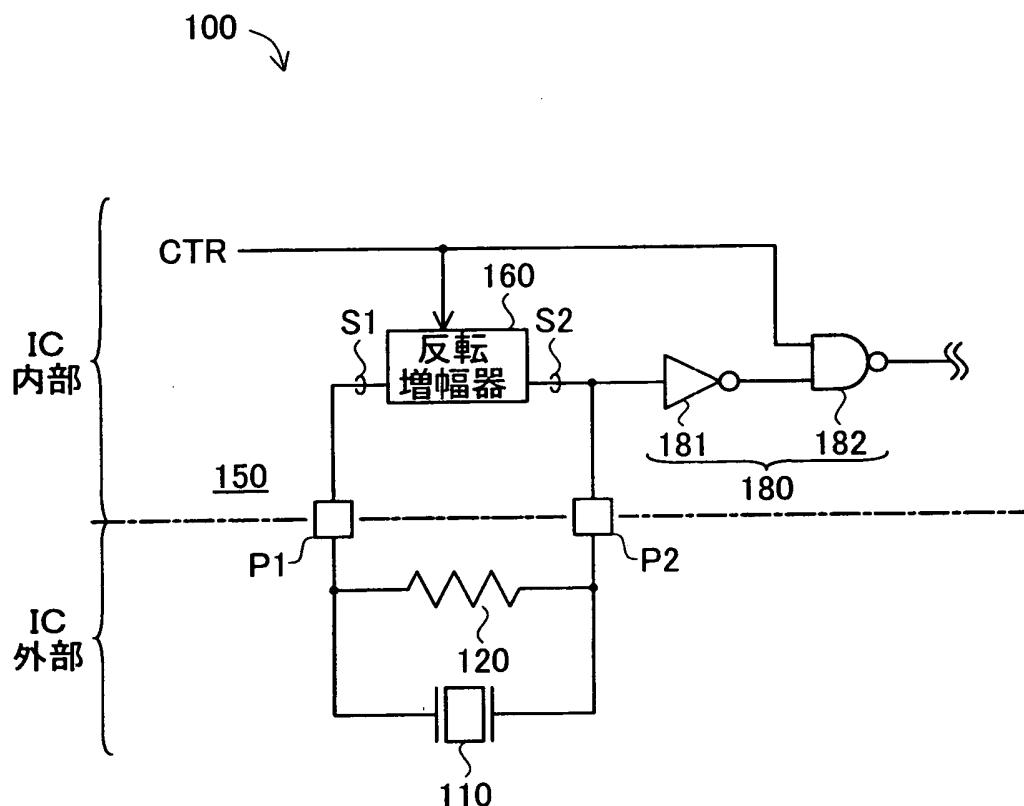
V2…第2の内部電源電圧

【書類名】 図面

【図1】

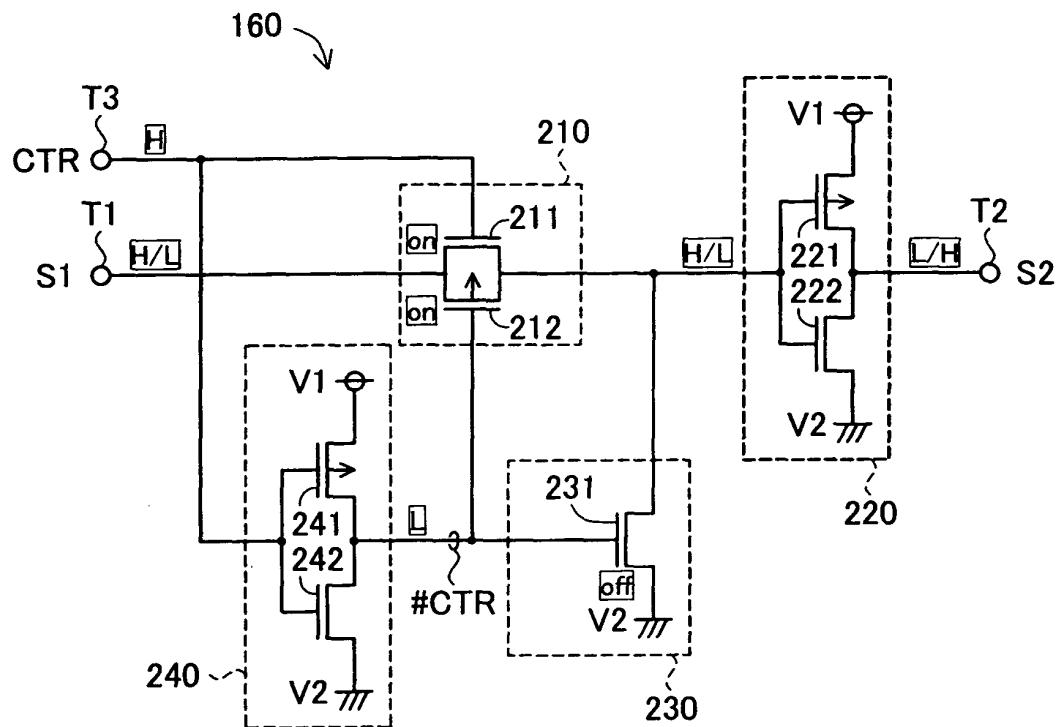
従来技術

【図2】

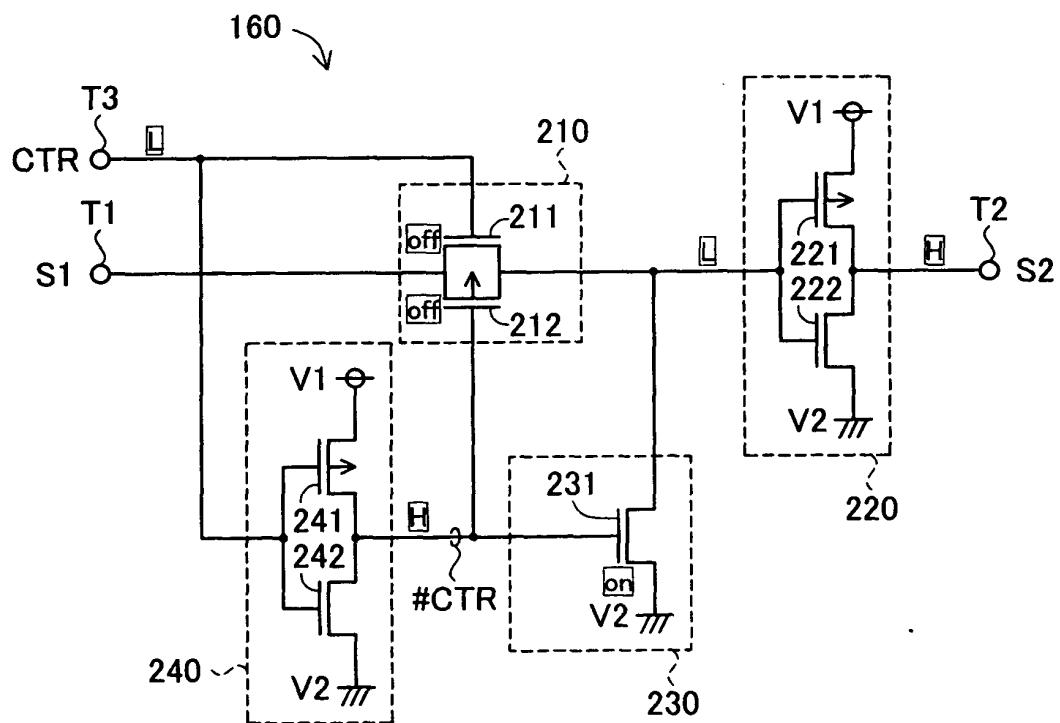


【図3】

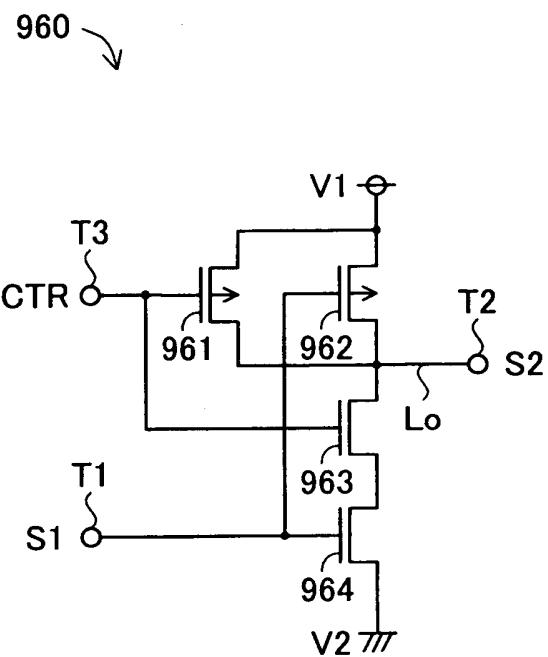
(A)



(B)

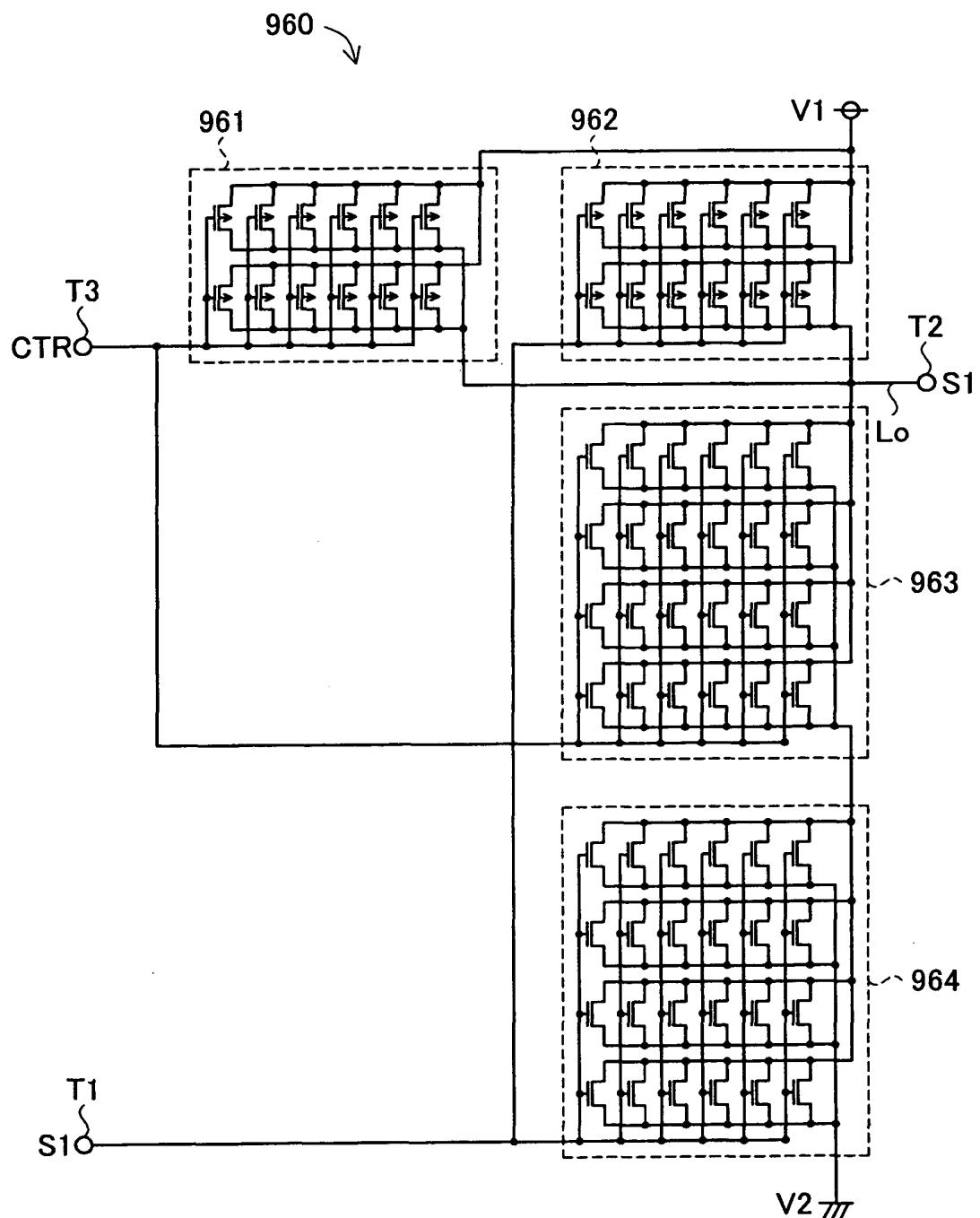


【図4】



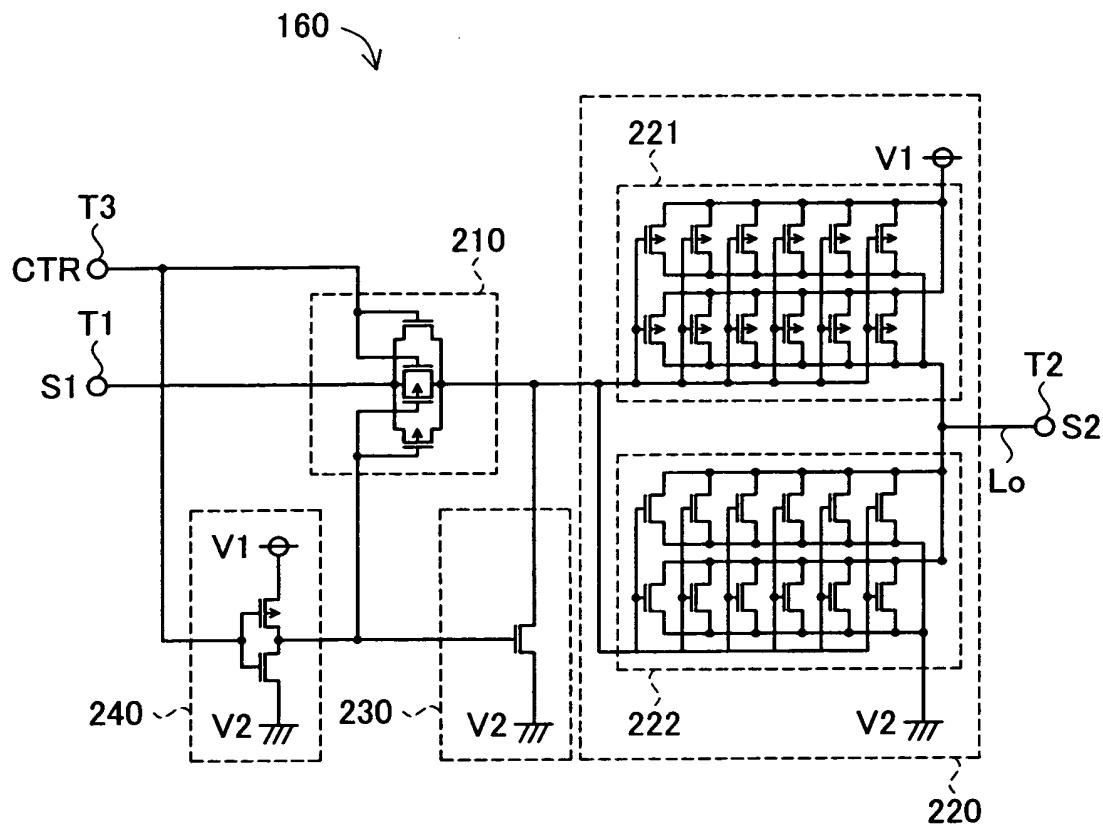
従来技術

【図5】

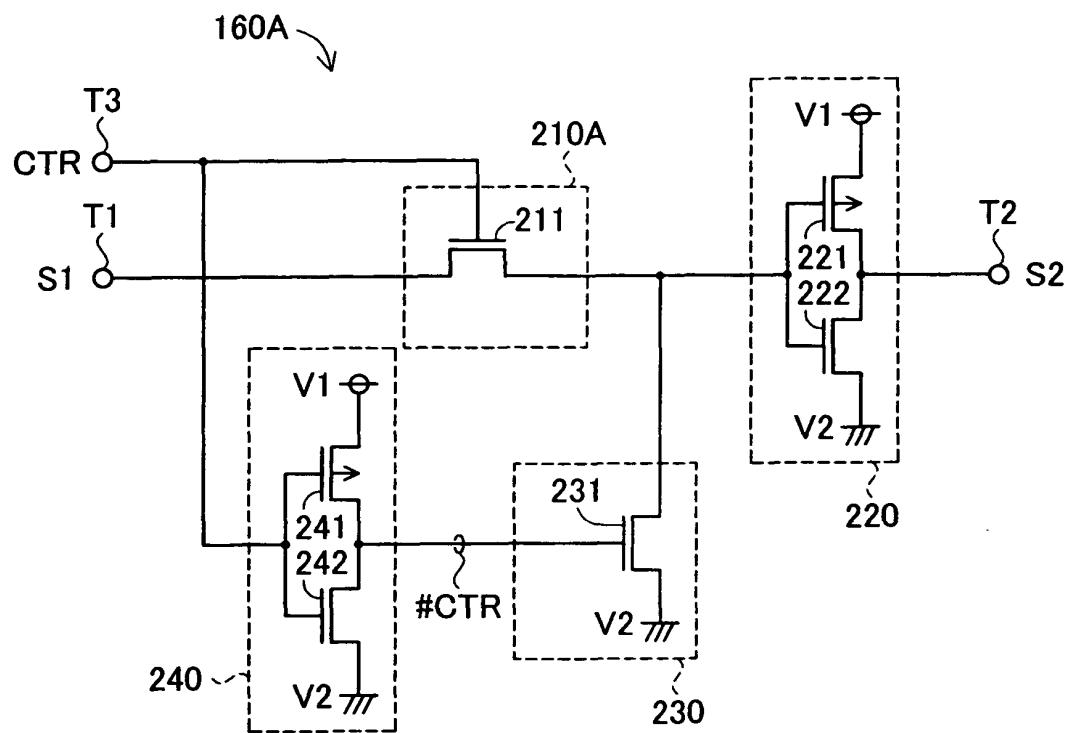


従来技術

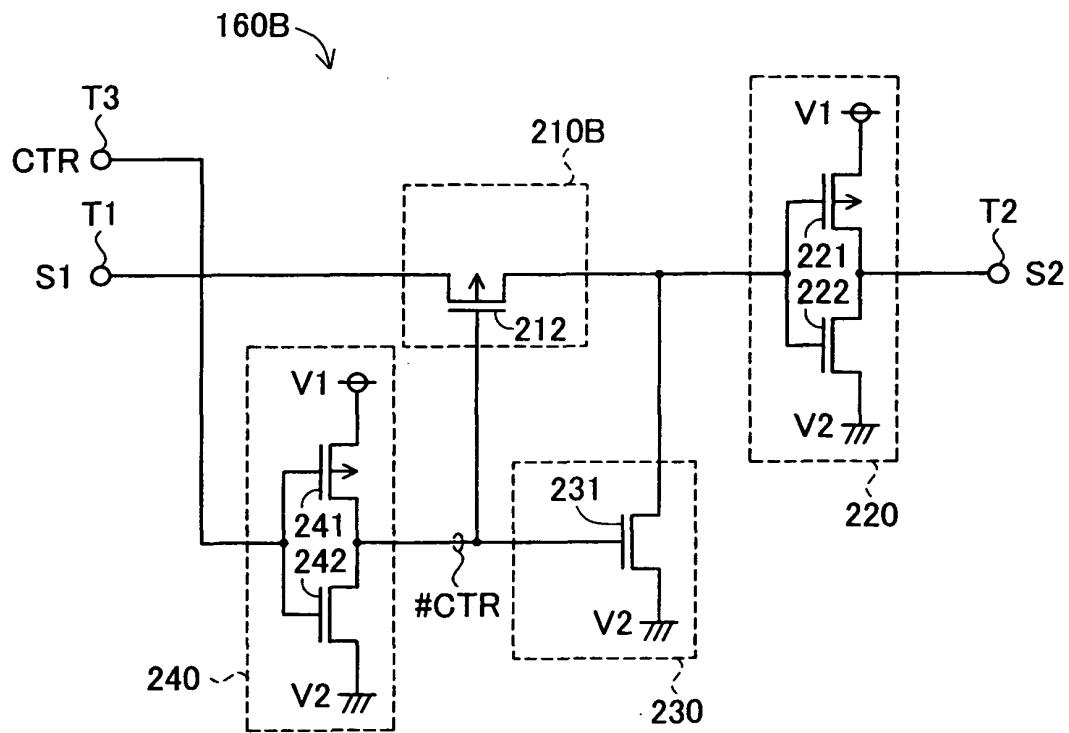
【図6】



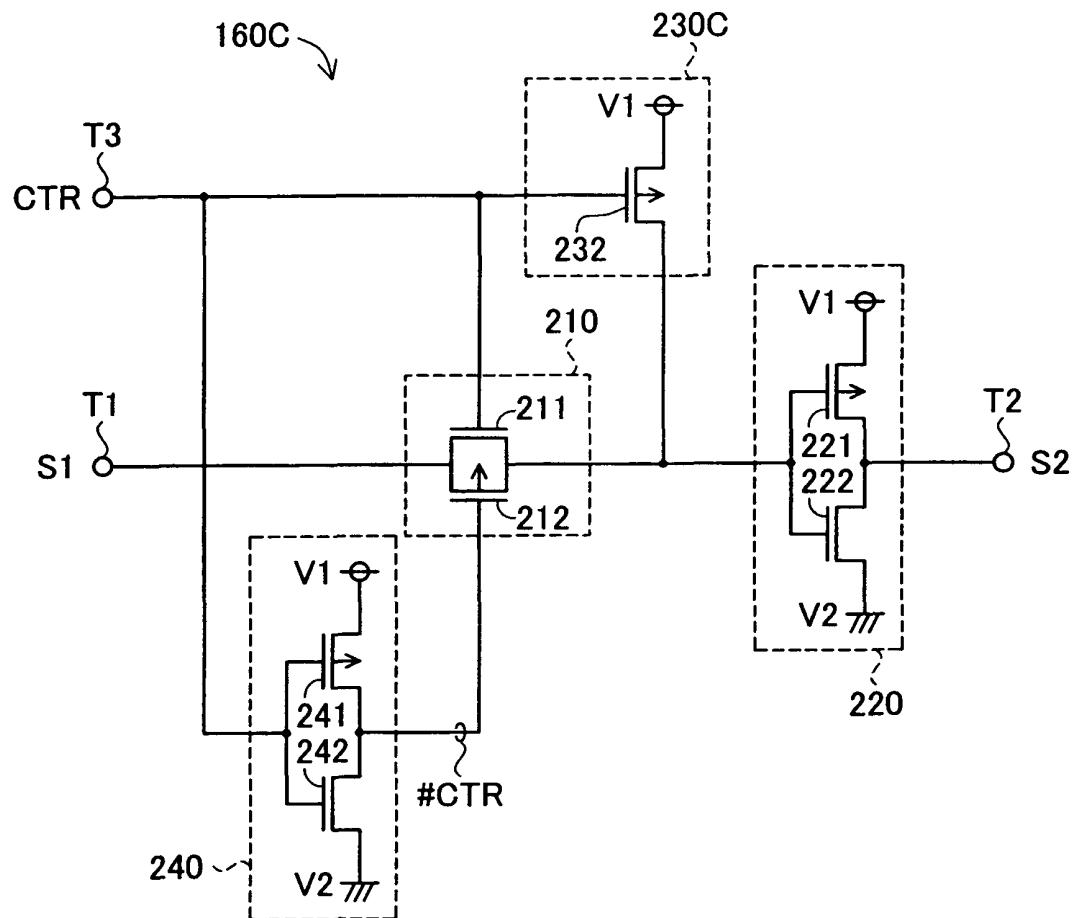
【図7】



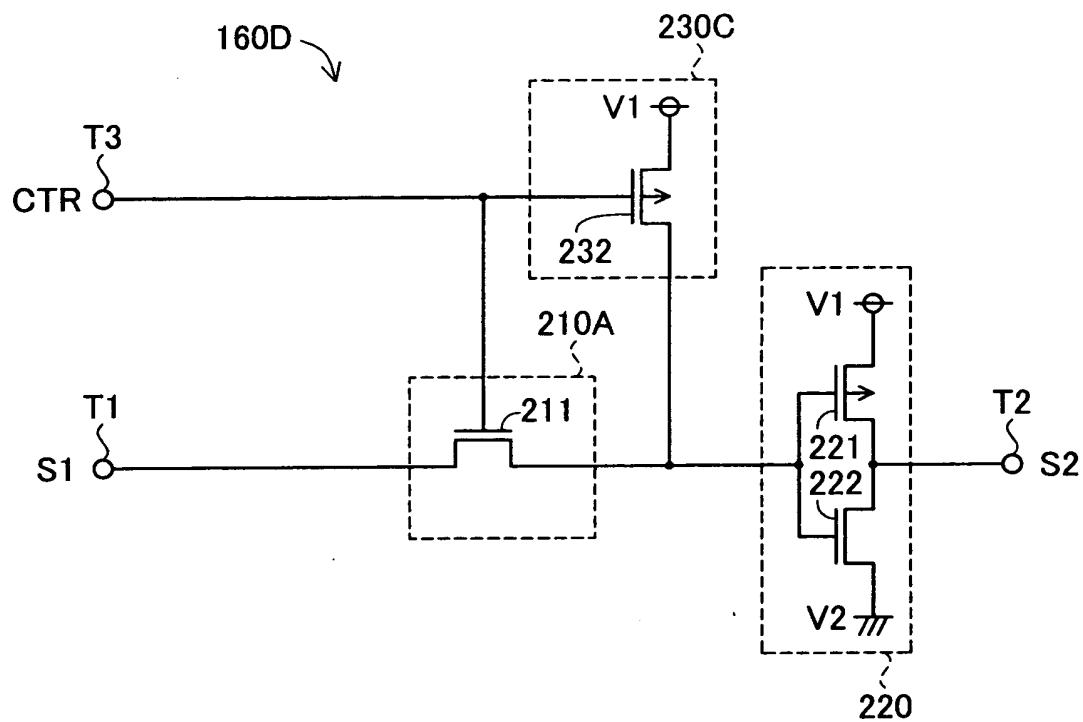
【図8】



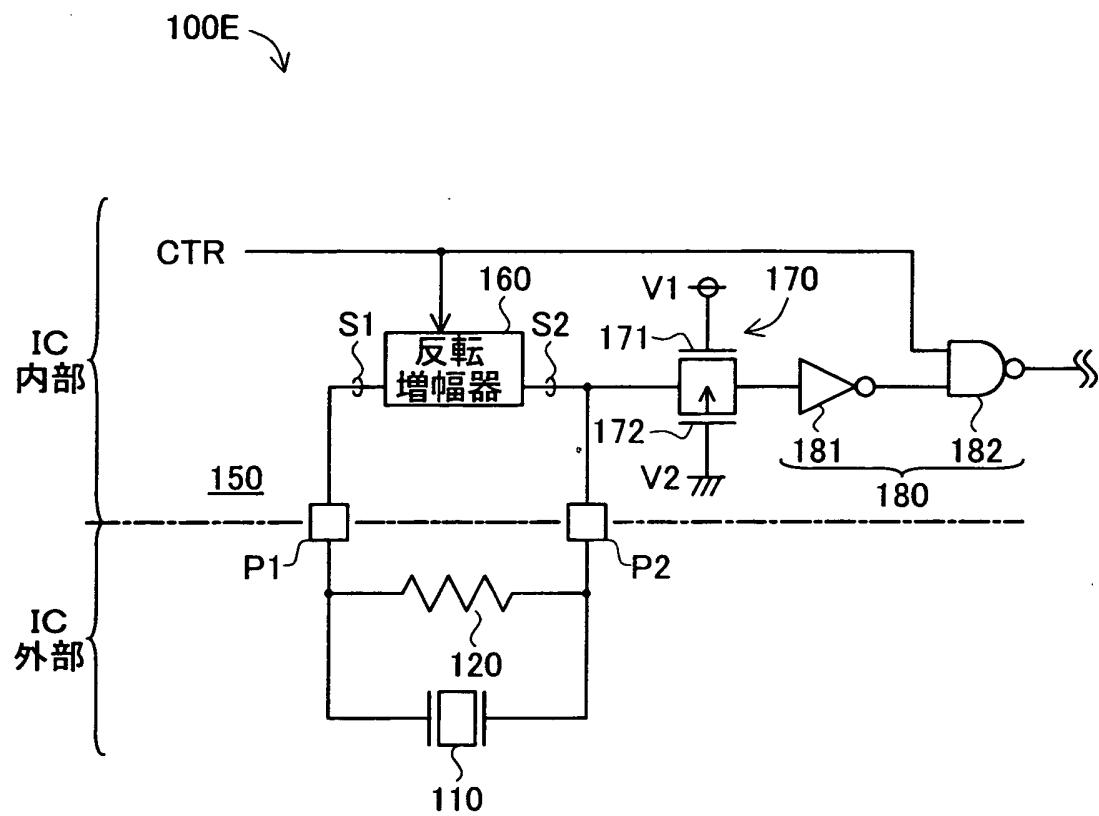
【図9】



【図10】



〔図11〕



【書類名】 要約書

【要約】

【課題】 間欠的に発振信号を出力可能な反転増幅器のサイズを比較的小さくすることのできる技術を提供する。

【解決手段】 半導体装置は、振動子と並列に設けられ、制御信号CTRに応じて間欠的に発振信号を出力する反転増幅器160を備える。反転増幅器は、制御信号がHレベルに設定される場合には、第1の信号S1を伝搬するオン状態に設定され、制御信号がLレベルに設定される場合には、第1の信号を伝搬しないオフ状態に設定されるトランスマッショングート210と、与えられる信号の論理レベルを反転して第2の信号S2を出力するインバータ回路220と、制御信号がHレベルに設定される場合には、インバータ回路の入力端子に第1の信号が与えられるように設定され、制御信号が第2の論理レベルに設定される場合には、インバータ回路の入力端子に所定の電圧が与えられるように設定されるクランプ回路230と、を備える。

【選択図】 図3

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社